

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-105981

(43)Date of publication of application : 02.05.1991

(51)Int.Cl.

H01L 29/788

H01L 27/04

H01L 27/092

H01L 27/115

H01L 29/792

(21)Application number : 01-241981

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.09.1989

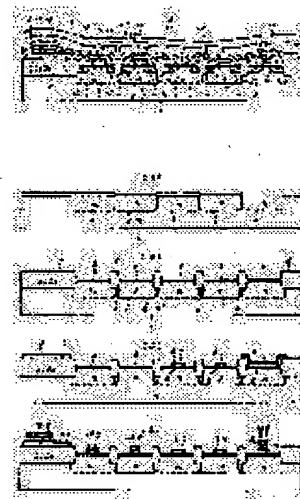
(72)Inventor : WATABE TOMOYUKI
MATSUURA TATSUJI
KOJIMA KOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To constitute, on the same chip, an insulated-gate transistor in which a parasitic resistance of a gate is small and a capacity element whose parasitic capacity is small by a method wherein one part of a gate material is formed of a metal silicide and a counter electrode of the capacity element is formed on a field.

CONSTITUTION: A first polysilicon layer 7 is formed in a part where a capacity element, a second PMOS element, a second NMOS element and an EEPROM element are formed. Then, the surface of the polysilicon layer 7 is oxidized selectively to form an oxide film 8. An insulating film of the capacity element and an insulating film which separates a floating gate from a control gate of the EEPROM element are constituted of the insulating film 6. A second polysilicon layer 9 and a metal cylinder layer 10 are deposited continuously; after that, a pattern is formed as shown in the figure and is left on the capacity element, a first PMOS element, a first NMOS element and the EEPROM element. An insulating layer 11 and source-drain layers 16, 17 are formed; a contact is formed; aluminum interconnections 12, 13, 14 are formed; an integrated circuit as intended is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平3-105981

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)5月2日

H 01 L 29/788

7514-5F
7735-5FH 01 L 29/78
27/083 7 1
3 2 1

K※

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 平1-241981

⑱ 出 願 平1(1989)9月20日

⑲ 発 明 者 渡 部 知 行 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 松 浦 達 治 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 小 島 浩 嗣 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 絶縁ゲート形トランジスタと容量素子を同一チップ上に有する半導体集積回路装置であって、前記絶縁ゲート形トランジスタのゲート材料の少なくとも一部が金属シリサイドからなり、前記容量素子の対向電極である金属または半導体層が共にフィールドを形成する厚い絶縁膜の上に形成されてなることを特徴とする半導体集積回路装置。

2. 第1の多結晶シリコン層で一方の電極を構成し、第2の多結晶シリコン層と金属シリサイド層の積層膜で他方の電極を構成し、前記一方の電極と前記他方の電極で容量素子の対向電極を形成してなり、前記第2の多結晶シリコン層と金属シリサイド層の積層膜と同時に形成した積層膜で絶縁ゲート形トランジスタのゲートを形成してなることを特徴とする、特許請求の範囲

第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明はMOS形の半導体集積回路装置に関し、特に容量素子と微細構造のMOSトランジスタを能率よく共存させる、半導体集積回路装置の構造に関する。

【従来の技術】

従来、容量素子とMOSトランジスタを共存させる半導体集積回路装置の構造については、例えば、アイ・イー・イー・イー、ジャーナル オブ ソリッド ステート サーキット、24、1989年、第165頁から第173頁 (IEEE Journal of Solid-State Circuits, Vol.24, (1989) pp.165-173)において論じられている。

従来の装置では例えば第3図にあるように数種類の容量素子の構造が知られている。第3図(c)の構造は容量の下側電極がシリコン基板101の中の拡散層102のため、下側電極の寄生容量が大きくなる欠点がある。第3図(a)(b)の構

造は容量の上側電極と下側電極がともに厚いフィールド酸化膜5の上にあるため寄生容量が少なく、この点性能が良い。このうち第3図(b)の構造は両電極が金属12および13のため電極の寄生抵抗が小さい利点があるが、金属の表面の滑らかさや耐熱性がシリコンより劣るため、電極間の絶縁膜11を薄くしにくい。通常は2層配線の層間絶縁膜などの厚い膜を利用するため、単位面積当たりの容量値が小さいという欠点がある。

以上により、最近では第3図(a)の構造が、高性能の集積化容量としてよく用いられる。通常この構造では、下側電極用の第1のポリシリコン7と、同一チップ上のMOSトランジスタのゲート用ポリシリコンを、同時に堆積して工程を簡略化している。

【発明が解決しようとする課題】

上記従来技術では絶縁ゲート形トランジスタの絶縁ゲートとしてポリシリコンを用いるため、ルールが微細化したときにゲートの寄生抵抗が大きいう問題があった。

ポリシリコン層で、下側の電極を構成する。×印を施した層9は第2のポリシリコン層、斜線を施した層10は金属シリサイド層で両者は一体化されて積層膜を形成している。この積層膜が上側の電極を構成する。

図の左から2番目が第1のPMOSTランジスタ、左から3番目が第1のNMOSTランジスタである。両者のゲートは前記の上側の電極と同時に形成された積層膜9、10で形成される。金属シリサイドをゲートに用いることにより、ゲートの寄生抵抗が低減される効果を有する。

左から4番目が第2のPMOSTランジスタ、5番目が第2のNMOSTランジスタである。両者のゲートは前記の下側の電極と同時に形成された第1のポリシリコン層7で形成される。これらのトランジスタはゲートの構成材料が第1のPMOSおよびNMOSと異なるため、閾値電圧の異なる2種類のPMOSとNMOSTランジスタが形成できる。

右端はEEPROMと呼ばれる不揮発性メモリ

本発明の目的は、ゲートの寄生抵抗が小さい絶縁ゲート形トランジスタと、寄生容量が小さい容量素子を、同一チップ上に簡略な工程で構成することである。

【課題を解決するための手段】

上記目的は、絶縁ゲート形トランジスタのゲート材料の少なくとも一部を金属シリサイドで形成し、容量素子の2つの対向電極である金属または半導体層を2つともフィールドを形成する厚い絶縁膜の上に形成することにより、達成される。

【作用】

ゲート材料の一部を金属シリサイドにすることにより、絶縁ゲート形トランジスタを微細化してもゲートの寄生抵抗を小さくできる。容量素子の対向電極をフィールド上に設けることにより、容量素子の寄生抵抗を小さくできる。

【実施例】

第1図に本発明の第1の実施例を示す。

同図の左端がフィールド酸化膜5の上に形成された容量素子である。点々を施した層7は第1の

素子である。前記の第1のポリシリコン層7でフローティングゲートを構成する。前記積層膜9、10で制御ゲートを構成する。

本実施例によればこれら6種類の素子を同一チップ上に構成できる。

第2図は本発明の第1の実施例の製造工程を示す図である。

(工程1) : n形基板1の上にp形とn形の不純物拡散を行ない、pウェル2とnウェル3を形成する(第2図a)。

(工程2) : pウェル2の周辺部にチャネルストップパとして働くp⁻拡散層4を形成する。ついでフィールド部にLOCOS酸化を行ない、厚いフィールド酸化膜5を形成する。また、ゲート酸化膜6を形成する(第2図b)。

(工程3) : 容量素子、第2のPMOS、第2のNMOSおよびEEPROM素子を形成する個所に第1のポリシリコン層7を設ける。ついで、ポリシリコン層7の表面を選択酸化し、酸化膜8を形成する。この酸化膜8で容量素

子の絶縁膜、EEPROM素子のフローティングゲートと制御ゲートの間を離間する絶縁膜を構成する(第2図c)。

(工程4):第2のポリシリコン層9と金属シリサイド層10を連続して堆積し、その後、図のようにパターン形成して、容量素子、第1のPMOS、第1のNMOSおよびEEPROM素子の上に残す(第2図d)。

(工程5):その後微細化MOSプロセスとして知られているLDDプロセスを用いて絶縁層11、ソース・ドレイン層16、17を形成し、コンタクト、アルミ配線12、13、14等を行なって、第1図の構造を得る。

第4図に、本発明の第2の実施例を示す。

本図は製造工程の部分を示す図である。本実施例において(工程1)および(工程2)は第1の実施例と同様であるので説明を省略する。

(工程3):ゲート酸化膜6と第1のポリシリコン層7を堆積した後、ポリシリコン層7をマスクにしてゲート酸化膜6を除去する(第4

図a)。

(工程4):第1のポリシリコン層7の表面と、n形基板1の表面を同時に酸化し、酸化膜8を形成する(第4図b)。これにより、第2図(c)と同様の構造を得る。

(工程5):第2の実施例と同様である(第4図c)。

本実施例によっても、第1の実施例と同様の構造が得られる。本実施例ではさらに以下の効果を有する。第1に、第1のPMOSおよびNMOSトランジスタ(図中の左から2、3番目)では、ゲート酸化膜が8で構成されるため酸化膜8の形成以前の汚染の影響がない。第2に、第2のPMOSおよびNMOSトランジスタ(左から4、5番目)のゲート酸化膜は6であるから、第1と第2のトランジスタ群のゲート酸化膜厚を異ならせることができる。これによってトランジスタの特性を独立に調整できる。

第5図に、本発明の第3の実施例を示す。

本図は製造工程の部分を示す図である。本実施

例においても(工程1)および(工程2)は第1の実施例と同様であるので説明を省略する。

(工程3):ゲート酸化膜6と第1のポリシリコン層7を堆積後、ポリシリコン層7の上に金属シリサイド層10を形成する。層7と層10の積層膜で、容量素子(図の左端)の下側電極、第2のPMOSおよびNMOS(図の左から4、5番目)のゲート、EEPROM素子(図の右端)のフローティングゲートを構成する(第5図a)。

(工程4):金属シリサイド層10の上にナイトライド層103を堆積する。その後、第2のポリシリコン層9を堆積する。第2のポリシリコン層9で、容量素子の上側電極、第1のPMOSおよびNMOS(図の左から2、3番目)のゲート、EEPROM素子の制御ゲートを形成する(第5図b)。

この後、第1の実施例と同様の工程により、ソース、ドレイン形成、配線工程、保護膜形成等を経て、完成する。本実施例によっても、第1の

実施例と同様な効果が得られる。

【発明の効果】

本発明によれば、簡略な工程で、寄生容量の小さい容量素子と、ゲートの寄生抵抗の小さいp形およびn形の絶縁ゲート形トランジスタと、これらと閾値電圧の異なるp形およびn形の絶縁ゲート形トランジスタと、EEPROM素子を同一チップ上に構成できる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す縦断面図、第2図は本発明の第1の実施例の製造工程を示す縦断面図、第3図は従来構造の容量素子の構造を示す縦断面図、第4図は本発明の第2の実施例を示す縦断面図、第5図は本発明の第3の実施例を示す縦断面図である。

符号の説明

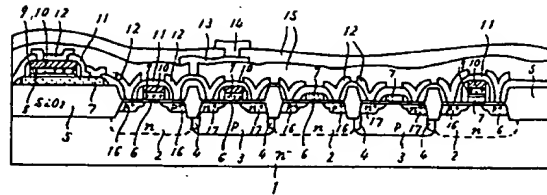
- | | |
|----------------|------------------------|
| 1...n形基板 | 2...pウェル |
| 3...nウェル | 4...p ⁻ 拡散層 |
| 5...フィールド酸化膜 | 6...ゲート酸化膜 |
| 7...第1のポリシリコン層 | |

- 8…酸化膜 9…第2のポリシリコン層
 10…金属シリサイド層 11…絶縁層
 12…1層目アルミ配線
 13…2層目アルミ配線
 14…3層目アルミ配線
 15…層間絶縁膜
 16…p形ソース・ドレイン
 17…n形ソース・ドレイン
 101…基板 102…拡散層
 103…ナイトライド層

代理人 弁理士 小川 勝男

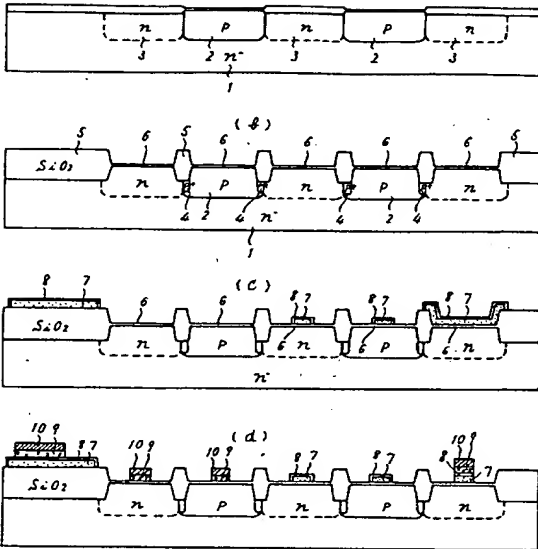


第1図



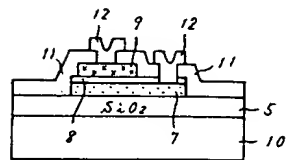
- 1…基板 2…Pウェル 3…Nウェル 4…P型拡散層
 5…フィールド酸化膜 6…ゲート酸化膜 7…第1のポリシリコン層 8…酸化膜
 9…第2のポリシリコン層 10…金属シリサイド層 11…絶縁層 12…1層目アルミ配線
 13…2層目アルミ配線 14…3層目アルミ配線 15…層間絶縁膜 16…p形ソース・ドレイン
 17…n形ソース・ドレイン

第2図 (a)



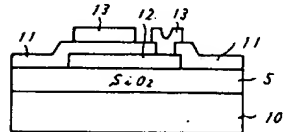
第3図

(a)

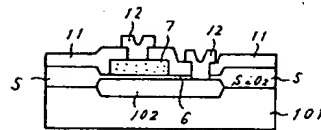


- 101…基板
 5…フィールド酸化膜
 6…ゲート酸化膜
 7…第1のポリシリコン層
 8…酸化膜
 9…第2のポリシリコン層
 11…絶縁層
 12…1層目アルミ配線
 13…2層目アルミ配線
 102…拡散層

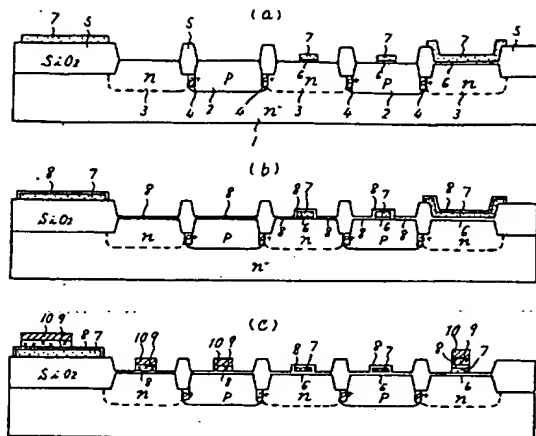
(b)



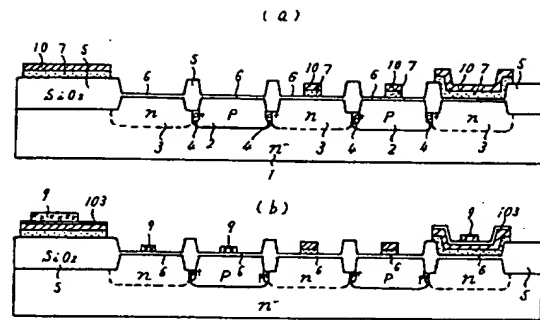
(c)



第4図



第5図



第1頁の続き

©Int. Cl. 5

H 01 L 27/04
27/092
27/115
29/792

識別記号

C

庁内整理番号

9056-5F

8831-5F

H 01 L 27/10

4 3 4